

JP10199993

Publication Title:

SEMICONDUCTOR CIRCUIT DEVICE, MANUFACTURE THEREOF, AND MASK DEVICE FOR MANUFACTURING SEMICONDUCTOR CIRCUIT DEVICE

Abstract:

Abstract of JP10199993

PROBLEM TO BE SOLVED: To enable supplying a specified potential level to a well, without forming a contact region in the well of the uppermost layer in a triple-well structure. **SOLUTION:** In an N-type ion implantation process for forming an N-type well region 1 in a P-type semiconductor substrate 5, a region in which ions are not implanted is formed in a part of the part to be turned into the bottom part 1B of the well region 1, by using a mask having a specified shape. Thereby an N-type well, whose shape leaves a part 6 having P-type property in a part of the bottom part 1B is formed. This P-type part 6 connects electrically a P-type well region 2 with the semiconductor substrate 5, so that a potential applied to a contact region 4 can be supplied to the well region 2 via the part 6. By forming a plurality of the parts 6, uniform supply also is enabled. This structure can be applied to each basic cell of a memory cell array block.

Data supplied from the esp@cenet database - Worldwide ad6

Courtesy of <http://v3.espacenet.com>

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-199993

(43)公開日 平成10年(1998) 7月31日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 21/8238
27/092
27/108
21/8242

H 0 1 L 27/08
27/10

3 2 1 B
6 8 1 A
6 8 1 F

審査請求 未請求 請求項の数7 O L (全 14 頁)

(21)出願番号 特願平9-565

(22)出願日 平成9年(1997) 1月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 天野 照彦

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 築出 正樹

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

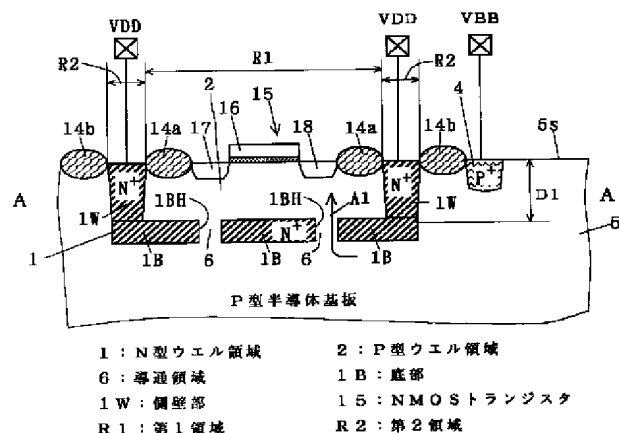
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 半導体回路装置及びその製造方法、半導体回路装置製造用マスク装置

(57)【要約】

【課題】 トリプルウェル構造における最上層のウェル内にコンタクト領域を設けることなく、当該ウェルに所定の電位レベルを供給可能とする。

【解決手段】 P型の半導体基板5内にN型のウェル領域1を形成するN型イオン注入工程において、所定形状のマスクによりウェル領域1の底部1Bとなるべき部分の一部に対してイオンが注入されない領域を設ける。これにより、底部1Bの一部分にP型の性質を有する部分6を残したような形状のN型のウェル領域1が形成される。このP型の部分6はP型のウェル領域2と半導体基板5とを電気的に接続させるので、この部分6を介して、コンタクト領域4に印加された電位をウェル領域2に供給できる。上記部分6を複数設ければ、均一な供給も可能となる。この構造は、メモリセルアレイブロックの各基本セルにも適用できる。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、前記半導体基板の表面の第1領域からその内部に向けて形成された前記第1導電型の第1ウエル領域と、前記第1ウエル領域の周囲を全て取り囲む様に、前記第1領域に隣接した前記半導体基板の前記表面の第2領域から前記半導体基板の内部に向けて形成された第2導電型の第2ウエル領域と、前記半導体基板の前記表面の前記第1領域から前記第1ウエル領域の内部に向けて形成された前記第2導電型の第1及び第2トランジスタ領域と、前記第1及び第2トランジスタ領域で挟まれた前記表面の前記第1領域上に形成された第3トランジスタ領域とを備える、少なくとも1つのトランジスタと、前記第2ウエル領域の底部の一部分に形成され、前記第1ウエル領域と前記半導体基板とを電気的に導通する、少なくとも1つの導通領域とを備えると共に、前記第1ウエル領域内には前記第1ウエル領域に所定の電位を供給するためのコンタクト領域が設けられていないことを特徴とする、半導体回路装置。

【請求項2】 請求項1記載の半導体回路装置において、前記導通領域は前記第1導電型の領域であることを特徴とする、半導体回路装置。

【請求項3】 請求項2記載の半導体回路装置において、前記導通領域は前記第2ウエル領域の前記底部に渡って複数個設けられていることを特徴とする、半導体回路装置。

【請求項4】 請求項2又は3記載の半導体回路装置において、前記導通領域は前記第1、第2及び第3トランジスタ領域の直下に当たる前記底部の部分を除いた前記底部の他部分に設けられていることを特徴とする、半導体回路装置。

【請求項5】 請求項2乃至4の何れかに記載の半導体回路装置において、前記半導体回路装置はメモリセルアレイのブロックであり、前記ブロックは複数のサブブロックを備えると共に、複数の前記トランジスタはそれぞれ前記複数のサブブロックの各々の各基本メモリセルのMOSトランジスタに該当することを特徴とする、半導体回路装置。

【請求項6】 第1導電型の半導体基板を準備する第1工程と、前記半導体基板の内部に、その一部分に前記半導体基板と導通する部材で充填された開孔パターンを有する、第2導電型の第2ウエル領域の底部を形成し、前記半導体基板の表面の第1領域と前記底部との間に前記第1導電型の第1ウエル領域に相当する領域を形成する第2工程

と、前記第1領域に当たる、前記半導体基板の前記表面上及び前記表面内に、トランジスタの各領域を形成する第3工程と、前記第1領域に隣接する前記半導体基板の前記表面の第2領域とその直下に位置する前記底部の部分との間に前記第2導電型の前記第2ウエル領域の側壁部を形成し、以て前記底部と前記側壁部とから成る前記第2ウエル領域により前記第1導電型の第1ウエル領域に相当する前記領域を前記第1ウエル領域として取り囲む第4工程とを備えることを特徴とする、半導体回路装置の製造方法。

【請求項7】 半導体基板内にトリプルウエル構造を有する半導体回路装置の製造に用いる半導体回路装置製造用マスク装置であって、前記トリプルウエル構造中、トランジスタの各領域が形成される第1導電型の第1ウエル領域を取り囲む様に形成される第2導電型の第2ウエル領域の底部を形成するウエハプロセス工程時に、前記底部の一部分にのみ少なくとも一つの開孔パターンが形成されるようなマスクパターンを備えたことを特徴とする、半導体回路装置製造用マスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体回路装置及びその製造方法に関し、特にトリプルウエル構造を有する半導体装置を含むもの、例えばMOSトランジスタ等の能動素子やCMOS回路やメモリセルアレイなどの記憶素子を含むものに関する。又、この発明は、そのような半導体回路装置を製造するための器具としてのマスク装置のパターン構成技術にも関している。

【0002】

【従来の技術】半導体集積回路装置、特にメモリ類においては、①半導体基板からのノイズの影響を削減する必要がある。即ち、基板に印加されたGND電位が変動すると、それに応じてMOSトランジスタのウエル領域のバックバイアス電位もまた変動する結果、トランジスタのしきい値が変動してしまうので、この影響を防止する必要がある。更にメモリ類では、②基板中の少数キャリア電流の基本メモリセルのストレージノードへの注入に起因したメモリセルデータの破壊をも防ぐ必要がある。

【0003】かかる観点から、メモリ類では、NMOSトランジスタで構成されたメモリセルアレイのブロックのP型ウエル領域の周囲を、P型の半導体基板内に作製されたN型のウエル領域で完全に取り囲むという構造、いわゆるトリプルウエル構造を採用して上記①、②を達成する事が、一般的に行われている。

【0004】図22は、例えば特開平3-30468号公報に開示されたような、従来のトリプルウエル構造を

有する半導体装置の構成を説明するための断面図である。図22に示すように、P型のウエル領域2Pは、P型の半導体基板5P内に作製されたN型のウエル領域1Pで完全に囲まれた状態にある。そして、上記P型のウエル領域2Pの電位レベルを供給するためのP型のコンタクト領域3が、N型のウエル領域1Pの側壁部1PWの内周に隣接する絶縁膜14Pの部分とソース／ドレイン領域の一方18Pに隣接する絶縁膜14Pの部分とで挟まれた、P型のウエル領域2Pの部分中に形成されている。このコンタクト領域3に電位VBBを外部から供給することによって、P型のウエル領域2Pの電位は電位VBBに固定される。他方、P型の半導体基板5Pの電位は、コンタクト領域4Pにグランド電位GNDを供給することによって、電位GNDに固定されている。

【0005】

【発明が解決しようとする課題】しかしながら、図22に示されるようなトリプルウエル構造を採用した場合には、上述したトリプルウエル構造のもつ効果①、②は実現されているが、トリプルウエル内のP型のウエル領域2Pに電位を供給するためのコンタクト領域3をP型のウエル領域2Pの中に設ける必要がある。その為に、図22に代表されるような従来のトリプルウエル構造においては、当該コンタクト領域3の占有面積分だけ半導体回路装置のチップ面積を増大させてしまうという問題点が生じている。

【0006】また、従来のトリプルウエルでは、図22に示される通り、構造上、P型ウエル領域2P中の側壁部1PW側へ片寄った隅の位置に、コンタクト領域3を配置せざるを得ない。そのため、P型ウエル領域2Pへの電位供給がP型ウエル領域2P全域にわたって均一になされているか否か、その保障に欠けるという問題点もある。

【0007】また、大容量のDRAMにおいては、低消費電力化、高速動作化のために、メモリセルアレイをサブアレイに細分化して構成することが多くなってきており、その場合には、ワードドライバの動作速度を高速化するために、ワード線の構成の一つとして、メインワード線とサブワード線とから成る分割ワード線構成を採用することがある。そのような分割ワード線構成型の半導体集積回路装置において、サブワード線のサブデコード回路をCMOS回路で構成してメモリセルアレイサブブロックの周囲に配置した場合には、メモリセルアレイサブブロックの周囲を取り囲むように配置されているセンスアンプ回路およびサブデコード回路帯がCMOS回路で構成されているために、メモリセルアレイサブブロックがPMOSTランジスタ用N型ウエル領域によって囲まれるという状態が発生する。このような構成では、メモリセルアレイサブブロックのP型ウエル領域の電位を与える為のコンタクト領域をメモリセルアレイサブブロック

内に設置すること自体が極めて困難となり、その結果、従来のトリプルウエル構造を分割ワード線構成型の半導体集積回路装置に適用することができないという問題点が生じている。

【0008】尚、特開平2-196460号公報の発明は、図22で示したものと同様な従来のトリプルウエル構造に対して、チップの占有面積を減少させてCMOSTランジスタの小型化を図るための構造を提案している。しかし、この技術においても、その公報中の第1図に示される通り、ランジスタの各領域の直下にあるP型ウエル領域の隅上方に固定電位VSSを与えるためのP型コンタクト層が形成されている点で、この技術もまた、上述した本発明の問題点を解決するための有効な手段とはなっていない。しかも、この技術は、従来、上記P型ウエル領域を完全に囲んでいたN型ウエル領域の構成に代えて、当該N型ウエル領域の一方の側壁部自体を完全に除去した構成を採用している。このため、上記P型ウエル領域の一方の側面側は、その側面全体がP型の基板側と接続された構造となっている。このような構造では、基板からの少数キャリア電流の注入を増加させてしまうので、本来のトリプルウエル構造がもつ作用効果の消失が大になってしまうという問題点を新たに発生させてしまうという難点もある。

【0009】従って、特開平2-196460号公報の発明は到底採用することができないと言わざるを得ない。

【0010】本発明は上記のような問題点に鑑みてなされたものであり、その主目的は、トリプルウエル構造を有する半導体回路装置において、トリプルウエルの最上層たる第1ウエル領域内に電位レベル供給用のコンタクト領域を特に設けること無く、トリプルウエル構造の本来的な上述の効果①、②を維持させつつ、当該第1ウエル領域内に所定の電位レベルを供給可能とすることにある。

【0011】また、この発明の副次的目的の一つは、第1ウエル領域に均一に電位を与えることを可能とすることにある。

【0012】更なる副次的目的は、トリプルウエル構造のもつ本来的な効果である、少数キャリア電流のランジスタ各領域への注入阻止効をより完全に実現可能とすることにある。

【0013】更なる副次的目的は、そのような新規なトリプルウエル構造を有する半導体回路の製造方法とそれに用いるマスク装置とを実現することにある。

【0014】

【課題を解決するための手段】請求項1の半導体回路装置は、第1導電型の半導体基板と、前記半導体基板の表面の第1領域からその内部に向けて形成された前記第1導電型の第1ウエル領域と、前記第1ウエル領域の周囲を全て取り囲む様に、前記第1領域に隣接した前記半導

体基板の前記表面の第2領域から前記半導体基板の内部に向けて形成された第2導電型の第2ウエル領域と、前記半導体基板の前記表面の前記第1領域から前記第1ウエル領域の内部に向けて形成された前記第2導電型の第1及び第2トランジスタ領域と、前記第1及び第2トランジスタ領域で挟まれた前記表面の前記第1領域上に形成された第3トランジスタ領域とを備える、少なくとも1つのトランジスタと、前記第2ウエル領域の底部の一部分に形成され、前記第1ウエル領域と前記半導体基板とを電気的に導通する、少なくとも1つの導通領域とを備えると共に、前記第1ウエル領域内には前記第1ウエル領域に所定の電位を供給するためのコンタクト領域が設けられていないことを特徴とする。

【0015】第1ウエル領域は、第2ウエル領域によってほぼ完全に取り囲まれており、半導体基板から第1ウエル領域内への少数キャリアの注入は殆ど阻止されている。そして、第1ウエル領域の表面上のスペースは、通常、トランジスタと活性領域を画定する絶縁層とで占有されるので、その場合には、上記表面上にコンタクト領域を形成するスペースは全くなくなる。

【0016】かかる状態において、表面の第1領域内にはコンタクト領域は一切設けられておらず、底部に形成された導通部のみが、第1ウエル領域と半導体基板とを電気的に接続させる。即ち、導通部は、唯一の第1ウエル領域の固定電位供給経路として機能する。

【0017】請求項2の半導体回路装置は、請求項1記載の半導体回路装置において、前記導通領域が前記第1導電型の領域であることを特徴とする。

【0018】導通領域は半導体基板と同一導電型の領域から成るため、当該導通領域は、それと第1ウエル領域との間及びそれと半導体基体との間にPN接合等の界面を形成することなく、第1ウエル領域と半導体基体とを電気的に確実に接続する。

【0019】請求項3の半導体回路装置は、請求項2記載の半導体回路装置において、前記導通領域が前記第2ウエル領域の前記底部に渡って複数個設けられていることを特徴とする。

【0020】各々の導通領域は、第1ウエル領域と半導体基板とを電気的に接続する。従って、半導体基板の電位は、局所的な供給から、よりまんべんなく第1ウエル領域全体にわたって供給されることとなる。導通領域の個数を増すほどに、第1ウエル領域への電位供給は均一化される。

【0021】請求項4の半導体回路装置は、請求項2又は3記載の半導体回路装置において、前記導通領域が前記第1、第2及び第3トランジスタ領域の直下に当たる前記底部の一部分を除いた前記底部の他部分に設けられていることを特徴とする。

【0022】導通領域を介して半導体基板から第1ウエル領域内に少数キャリアが注入されても、少数キャリア

の殆どは、導通領域の上方に位置する、各トランジスタ領域外の部分に到達するのみであって、第1、第2及び第3トランジスタ領域内に入り込むことはない。このため、上記少数キャリアに起因したトランジスタの誤動作は生じないので、トリプルウエル構造の本来の作用・効果はより一層完全に維持される。

【0023】請求項5の半導体回路装置は、請求項2乃至4の何れかに記載の半導体回路装置において、前記半導体回路装置はメモリセルアレイのブロックであり、前記ブロックは複数のサブブロックを備えると共に、複数の前記トランジスタ領域はそれぞれ前記複数のサブブロックの各々の各基本メモリセルのMOSトランジスタに該当することを特徴とする。

【0024】メモリセルアレイブロック内の第1ウエル領域内に電位固定用のコンタクト領域を設けることなく、各第1ウエル領域に半導体基板の電位が供給される。特に、各基本メモリセルの導通領域が各トランジスタ領域外の部分直下に位置する第2ウエル領域の底部に形成されているときには、半導体基板中の少数キャリアの注入が起こっても、当該少数キャリアの殆どは各基本メモリセルのソース／ドレイン領域に到達することはない。

【0025】請求項6の半導体回路装置の製造方法は、第1導電型の半導体基板を準備する第1工程と、前記半導体基板の内部に、その一部分に前記半導体基板と導通する部材で充填された開孔パターンを有する、第2導電型の第2ウエル領域の底部を形成し、前記半導体基板の表面の第1領域と前記底部との間に前記第1導電型の第1ウエル領域に相当する領域を形成する第2工程と、前記第1領域に当たる、前記半導体基板の前記表面上及び前記表面内に、トランジスタの各領域を形成する第3工程と、前記第1領域に隣接する前記半導体基板の前記表面の第2領域とその直下に位置する前記底部の部分との間に前記第2導電型の前記第2ウエル領域の側壁部を形成し、以て前記底部と前記側壁部とから成る前記第2ウエル領域により前記第1導電型の第1ウエル領域に相当する前記領域を前記第1ウエル領域として取り囲む第4工程とを備えることを特徴とする。

【0026】請求項7の半導体装置製造用マスク装置は、半導体基板内にトリプルウエル構造を有する半導体回路装置の製造に用いるものであって、前記トリプルウエル構造中、トランジスタの各領域が形成される第1導電型の第1ウエル領域を取り囲む様に形成される第2導電型の第2ウエル領域の底部を形成するウエハプロセス工程時に、前記底部の一部分にのみ少なくとも一つの開孔パターンが形成されるようなマスクパターンを備えたことを特徴とする。

【0027】

【発明の実施の形態】

（概要）本実施の形態の半導体集積回路装置（以下、よ

り広義として、半導体回路装置と呼ぶ)では、説明の便宜上、その一例として、NMOSTランジスタを能動素子として用いる場合及びそれを記憶素子としてメモリセルアレイに適用する場合に言及している。即ち、P型の半導体基板内にN型の第2ウェル領域を作製するプロセス工程(Nイオン注入工程)において、所定のパターンが形成されたフォトマスクを同工程中のリソグラフィに適用することにより所定のレジストパターンを作り、このレジストパターンをマスクとしてN型イオン注入を行うことにより、Nイオンが注入されない領域を第2ウェル領域のボトム内の一部分に作り、以てN型の第2ウェル領域の底部の一部分に、P型の性質を有する導通領域を作ることをしている。これにより、(1)N型の第2ウェル領域でほぼ完全に取り囲まれたP型ウェル領域とP型の半導体基板とが電気的に導通される構造が実現され、(2)P型の第1ウェル領域用の電位を供給するためのP型のコンタクト領域を独自に第1ウェル領域内に作製する必要性が全くなり、(3)P型基板を介することにより、N型の第2ウェル領域でほぼ完全に取り囲まれたP型の第1ウェル領域への電位レベルの供給を実現可能としている。

【0028】勿論、NMOSTランジスタについて述べた上記構成をPMOSTランジスタに対しても適用可能である。この場合には、N型が第1導電型に、P型が第2導電型に相当する。又、上記構成をCMOS回路の一方のMOSTランジスタについて適用しても良い。

【0029】以下、図面を参照して、NMOSTランジスタについての上記構成の具体例を詳細に説明する。

【0030】(実施の形態1)図1は、新規なトリプルウェル構造を有するNMOSTランジスタの構成を示す断面図である。又、図2は、上記NMOSTランジスタの模式的な上面図であり、図2中のA-A'線に関する縦断面図が図1に該当している。図1、図2においては、電極配線用のアルミ配線層や層間絶縁膜等の図示を省略して、要部のみを示している。

【0031】本NMOSTランジスタ装置は、最上層から順にP型ウェル領域2、N⁺型のウェル領域1及びその下の半導体基板5を、それぞれ第1、第2及び第3ウェル領域とする、トリプルウェル構造を有する。

【0032】P型(第1導電型)の半導体基板5は例えばSi基板であり、その表面5S上及び表面5S内にはLOCOS膜からなる絶縁層14が形成されている。絶縁層14のこれらの各部分14a~14bは、図示しないが、一つに連結されている。そして、NMOSTランジスタ15の活性領域の範囲を枠付ける絶縁層部分14aの外周縁によりその外枠が画される半導体基板5の表面5S内のエリアを「第1領域R1(幅:R1)」と定義付けるならば、この第1領域R1から半導体基板5の内部に向けて深さD1のP型-ウェル領域2が形成されている。

【0033】又、上記活性領域にあたる表面5Sの第1領域R1上からP型-ウェル領域2の内部に向けて、NMOSTランジスタ15の一方のソース/ドレイン領域(第1ランジスタ領域)17と、他方のソース/ドレイン領域18(第2ランジスタ領域)とが形成されており、当該両領域17、18で挟まれた上記第1領域R1内の表面5S上には、トランスファゲート層16(第3ランジスタ領域)が形成されている。尚、NMOSTランジスタ15の各層17、18、19を、総称的に、NMOSTランジスタの各領域ないしランジスタ領域とも呼ぶ。

【0034】そして、上記第1領域R1に隣接した表面5S内の第2領域R2(幅:R2)、即ち、両絶縁層部分14a及び14bで挟まれた表面5Sからその直下の半導体基板5の内部へ向けて、深さD1の、N⁺型-ウェル領域1の側壁部1Wが、P型-ウェル領域2の外周面全体を完全に取り囲むように形成されている。そして、N⁺型-ウェル領域1の底部1Bが、リング状の側壁部1Wと連結して、P型-ウェル領域2の底面の殆どを塞いでいる。従って、P型-ウェル2の周囲(外周面、底面)は、後述の導通領域6の部分を除いて、側壁部1Wと底部1Bとから成るN⁺型-ウェル領域1によって、ほぼ完全に取り囲まれた状態となっている。

【0035】上記の導通領域6が本トリプルウェル構造の核心部分であって、各導通部6は、底部1Bの全体にわたって均等配分されるように底部1Bの一部分に形成された各開孔パターン1BHがP型の材質によって充填されて成る部分である。このように各導通領域6はP型-ウェル領域2及び半導体基板5と同一の導電型の性質を有するので、PN接合界面等を一切形成することなく、P型-ウェル領域2と半導体基板5とを低損失で電気的に接続する。この機能に着目すれば、当該導通領域6は、半導体基板5とP型-ウェル領域2とを電気的に導通させる部材で充填された開孔パターン部であるとも定義でき、このような機能を実現できる限り、導通領域6の構成としては、P型材質で充填された上記構造に代わるものであっても良い。

【0036】そして、第2領域R2の更に外側の一方に位置する表面5Sのエリアより半導体基板5の内部へ向けて、電位VBBを外部より供給するためのP⁺型のコンタクト領域4が形成されている。この様なP型の性質を有する部分を導通経路として、P型のウェル領域2とP型半導体基板5とが電気的に接続された状態において、コンタクト領域4に電位VBBを供給することによって、図22に従来例として示されているようなP型のコンタクト領域3をP型の第1ウェル領域内に設ける必要性は全くなり、P型のウェル領域2に電位VBBを半導体基板5側から供給することが可能となる。

【0037】しかも、導通領域6の部分を除いてP型-ウェル領域2の外周の殆どはN⁺型-ウェル領域1で取

り込まれた状態となっているため、特開平2-196460号公報の発明に関して述べた問題点(トリプルウエル構造の効果①、②の消失)は生じない。即ち、図1、図2の本装置は、トリプルウエル構造の本来的な効果①、②をほぼ満足させつつ、従来のコンタクト領域3(図22)を第1ウエル領域内から取り除くこと、従って装置の小型化に成功している。

【0038】加えて、底部1Bの全域にわたって導通領域6を均一に分布配置する構成としているので、電位VBBを局在化させることなくP型-ウエル領域2の全域にわたって均一に供給することができ、この点に関して既述した従来技術のような問題点は一切生じない。この効果は、導通領域6の数が増える程に高まることは明らかである。

【0039】尚、上記説明では、導通領域6は複数個設けるものとしたが、両領域2、5を電氣的に導通させ電位VBBをP型-ウエル領域2に供給する点だけを満足させるならば、導通領域6の数は一つであっても良い。但し、この場合には、電位供給の不均一化という問題は残るであろう。

【0040】(実施の形態1の変形例)図1、図2の例では、ソース/ドレイン領域17、18の直下に位置するN+型-ウエル領域1の部分にも導通領域6を設けている。しかし、このような構成とした場合には、次の新たな問題点を惹起せしめる。即ち、図1に矢印A1としてその点を図示する様に、導通領域6は電位VBBを供給するためのパスとして機能すると共に、半導体基板5中の少数キャリア(ここでは電子)のP型-ウエル領域2への注入窓口ともなっている。そして、この注入窓口がソース/ドレイン領域17、18のほぼ直下に位置しているため、当該注入窓口を介してP型-ウエル領域2内に注入された少数キャリアの多くは、上方のソース/ドレイン領域17、18にまで到達しうることとなる。こうなると、ソース/ドレイン領域17、18の電位レベルの変動が生じ、例えばオン状態にあったNMOSTランジスタ15がオフ状態となってしまう、NMOSTランジスタ15が誤動作するおそれがある。又、誤動作が生じうるという点では、NMOSTランジスタ15のゲート層16直下のチャネル領域の直下に導通領域が存在する場合でも同じである。

【0041】そこで、かかる問題点をも解決するためには、上記トランジスタ領域16、17、18の直下を避けて導通領域6を設ける必要がある。かかる観点から、上述の新たな問題点の解決策として更に提案されるものが、図3、図4に示す変形例である。図3、図4は、それぞれ図1、図2に対応した図であり、同一符号のものは同一のものを示す。

【0042】両図3、4に示す通り、ここでの特徴点は、ソース/ドレイン領域17、18直下のN+型-ウエル領域1の底部1Bの部分の部分を避けて、両領域17、1

8の外周に位置する絶縁層部分14aの直下にあたる底部1Bの一部分に導通領域6を設けた点にある。このような構成とすることにより、同領域6を介して基板5側からの少数キャリアの注入が発生しても、図3中の矢印A2に示す通り、その殆どは上方の絶縁層部分14aに到達するに留まり、ソース/ドレイン領域17、18側にまで到達することができなくなる。従って、少数キャリアの注入電流によるトランジスタの各領域の電位変動を防止することが可能となる。勿論、図1、図2で述べた電位供給及び小型化の作用・効果は、本変形例における導通領域6に対してもそのまま成立する。その意味では、本変形例の方が実施の形態としてより好ましいmodeであると言える。

【0043】本変形例においても、当該導通領域6を複数個設けて固定電位供給の均一化を図っても良いし、導通領域6を一つだけ設けるとしても良いことは勿論である。

【0044】(実施の形態1の製造方法とそこで用いるマスクについて)以下では、図3に示したNMOSTランジスタ装置の製造方法について、断面図形式で示した各工程図5、図7～図17を参照して説明する。尚、比較のために、各工程図毎に、従来の工程と本発明の工程とをそれぞれ(a)、(b)という記号を付して示している。この内、図7(a)、(b)、図8(a)、(b)および図14(a)、(b)が根本的に異なる部分である。

【0045】(1)第1工程(フィールド工程):図5に例示するように、活性領域を規定するためのLOCOS絶縁層14の各部14a、14bがその表面5S上に形成された、P型の半導体基板5を準備する。

【0046】(2)第2工程(アイランド1、2の注入工程):本工程は、その一部分に、半導体基板5と導通する部材で充填された開孔パターンを有する底部1B(図3)を半導体基板5内に形成し、以て、表面5Sと底部1Bとの間の半導体基板5内に第1ウエル領域2(図3)に相当するP型領域を形成するものである。

【0047】先ず、図6の平面図に模式的に示したようなマスク装置20を、準備する。同マスク装置は、一個のMOSTランジスタの第2ウエル領域の底部と導通領域とを形成する場合として模式的に描かれたものであり、ネガ型のフォトリソストを用いる場合のものである。即ち、本マスク装置20の母材の上面には、図3で示した導通領域6の外形を画する開孔パターン部1BHに相当する少なくとも1つの開孔パターン22を備えたクロム膜のマスクパターンが形成されている。このマスクパターン21の形成は、既存の周知の方法による。

【0048】尚、ポジ型のフォトリソストを利用する場合には、そのときのマスクパターンは上記マスクパターン21と全く逆のパターンになる。

【0049】次に、半導体基板5の表面5Sと絶縁層1

4とを被覆するようにフォトリソストを形成し、図6(b)に例示したようなマスク装置を用いて既知のフォトリソグラフィ工程により、図7(b)に示すようなレジスト層23を形成する。このレジスト層23の直下方向に、図3の開孔パターン部1BHが形成されることとなる。

【0050】次に、図7(b)に同じく示すように、上記レジスト層23をマスクとして、リン等のNイオン24を表面5Sより深さD1の基板内部にまで注入する。その後、上記レジスト層23を除去する。

【0051】このフォトリソグラフィ工程とNイオン注入工程とより成る第2ウエル領域底部形成用ウエハプロセス工程により、半導体基板5中のP型不純物で充填された導通部6と、そのための開孔パターン部を備えた底部1Bとが、基板5内部に、表面5Sにほぼ並行して形成される(図8(b)参照)。

【0052】更に、図9(b)に示すとおり、露出した表面5Sから底部1Bの上面側までの半導体基板5内にボロン等のP型イオン25を注入して、P型の層2Aを形成する(図10(b))。このP型層2Aは、図3の第1ウエル領域2の基礎となる領域である。

【0053】(3)第3工程：本工程は図3のトランジスタ15の各領域16~18を形成するための工程であり、大別して、トランスファゲート形成工程と、Nチャネルのソース／ドレイン注入工程と、P⁺チャネル工程とより成る。

【0054】まず、図11(b)に示す通り、周知の方法により、活性領域たる表面5Sの中央上にトランスファゲート16を形成する。

【0055】次に、図12(b)に示す通り、絶縁層部分14aによって挟まれた活性層領域内に開孔パターンを有するレジスト層27を形成し、このレジスト層27をマスクとして、ヒソ等のN型イオン26を露出した表面5Sより基板5内部へ注入する。これにより、ソース／ドレイン領域たる第1、第2トランジスタ領域17、18が形成される。その後、上記レジスト層27を除去する(図13(b))。

【0056】次に、露出した表面5S、絶縁層14及びトランスファゲート16の各部を被覆するようにレジスト層29を形成し、このレジスト層29に対して、図3のコンタクト領域4形成用の開孔パターンを形成する。その後、当該レジスト層29をマスクとしてBF₂等のイオン28を注入し、以てP⁺型のコンタクト領域4を形成する。その後、上記レジスト層29を除去する(図15(b))。

【0057】尚、CMOS回路装置のNMOSTランジスタの部分に図3に示した構造を適用しているケースでは、図14(b)及び図15(b)の工程は、P⁺型コンタクト層4の形成工程であると同時に、PMOSTランジスタのPチャネル注入工程でもある。

【0058】(4)第4工程(N⁺チャネル注入)：本工程は、絶縁層部分14a、14aの外縁同士で画される表面5Sの第1領域に隣接した第2領域(それは、絶縁層部分14a、14bで挟まれた表面5Sの部分)と、その直下に位置する底部1Bの上面側一部との間に、図3の側壁部1Wを形成する工程である。

【0059】まず、図16(b)に示す通り、第1領域内に含まれる表面5S、トランスファゲート16及び両絶縁層部分14a、14aの表面のみを被覆するレジスト層31を形成する。次に、このレジスト層31をマスクとして、ヒソ等のN型イオン30を、露出した第2領域の表面5Sより深さD1の基板5内部にまで注入する。このN型イオン注入工程によりN⁺型の側壁部1Wが形成されて、側壁部1Wと底部1Bとが連結される。その後、上記レジスト層31を除去する(図17(b))。

【0060】以上により、N⁺型の第2ウエル領域1が完成され、第1ウエル領域2は、導通領域6を除いて、第2ウエル領域1によってほぼ完全に取囲まれた状態となる。

【0061】(5)以後の工程：コンタクトや金属配線の形成をその後に行うが、これらの形成工程は従来の一般的な方法と同様にして進められるので、それらの説明は、ここでは割愛する。

【0062】以上に詳述した通り、P型の半導体基板5内部にN型のウエル領域1を作製するウエハプロセス工程(Nイオン注入工程)において、新規なパターンのマスク装置の利用によりNイオンが注入されない領域を一部分だけに設けることとして、N⁺型の底部1Bの一部分にP型の性質を有する部分6を残留させたような構造を得ている。

【0063】そして、本製造方法では、底部1Bの一部分にP型の性質を有する部分6を残すために新たに追加しなければならないプロセスの工程は全く無く、従来のNイオン注入工程において使用するフォトリソマスクの代わりに、図7(b)、図8(b)において示されたような、N型ウエル領域作製中にその一部分にNイオンが注入されない領域をつくるように、従来のマスクパターンを改良ないし変更を施して得たマスク(例えば図6のもの)を使用するだけで良く、新たな製造設備や追加の工程をもたらしえないという点で、容易に本発明のトリプルウエル構造を作製することが可能である。

【0064】(実施の形態2)実施の形態1は、MOSトランジスタを能動素子として単独に用いる場合やCMOS回路の内の一方のMOSトランジスタの場合にトリプルウエル構造を適用するケースを扱っていたが、実施の形態1により顕出された本発明の技術的思想を、メモリセルアレイのブロックにも適用可能である。本実施の形態2は、その点を扱うものである。

【0065】図3は、分割ワード線構成のDRAMメモ

リセルアレイブロック7を模式的に示す平面図である。同ブロック7は、複数のサブブロック7Sと、A1配線からなる低抵抗のメインワード線9と、各サブブロック7S毎に配備され、メインワード線9と接続されるワードドライバWD1, WD2, WD3, ...と、隣り合う2つのサブブロック7S同士にまたがって配線され、対応するワードドライバと接続される、ポリーSiより成る細いサブワード線11とを備える。そして、各サブブロック7Sの四方周囲には、センスアンプ回路帯8とサブデコード回路帯10が配設されている。即ち、センスアンプ回路帯8とサブデコード回路帯10とによって、各サブブロック7Sのエリアは枠付けされている。

【0066】又、図19は、図3の各メモリセルサブブロック7Sを拡大して示した平面図である。既述した通り、両回路帯8, 10はCMOS回路で構成されるため、各サブブロック7Sは、その周囲をPMOSTランジスタ用のN型ウエル領域12で取り囲まれることとなる。このために、従来技術では、既述した問題点が生じているのである。

【0067】ここでは、各サブブロック7S内の各基本メモリセルを形成する各NMOSTランジスタに対して、実施の形態1の図1及び図2に関して述べた構造を適用する。実施の形態1で述べたとおり、各基本メモリセルのMOSTランジスタが占める面積を図22の従来の場合と比較して低減でき、各基本メモリセルの小型化を図ることができる。従って、各サブブロック7Sの周囲が全てN型ウエル領域で占められているときであっても、従来のような問題点を発生させることなく、メモリセルサブブロック7S内にトリプルウエル構造のNMOSTランジスタを有する基本メモリセル群を容易に形成することができる。その際、トリプルウエル構造の本来的な作用効果は十分に維持された状態で、上述の導通領域を介したP型の第1ウエル領域への電位供給を可能とすること、そして製造方法に際しては単にN型イオン注入工程時のマスク用レジストパターンを導通領域形成位置に応じて適切に形成すれば良く、それは、単に上記レジストパターンを形成するための既存のフォトマスクのパターンを変更するだけで済むことは、実施の形態1で既述した通りである。

【0068】(実施の形態2の変形例)ここでは、図3, 図4で示した実施の形態1の変形例の構成を、図18, 図19の各メモリセルアレイサブブロック7Sの各基本メモリセルBMC中のNMOSTランジスタ(図20参照)に対して適用する。その場合の構造例を、図21の断面図に示す。同図において、各NMOSTランジスタ15₁, ..., 15_nのソース/ドレイン領域17, 18上には、電極層40, 41が形成されており、一方の電極層41は、その構造を図示しない基本メモリセルの容量と接続されている。更に上層の層間絶縁膜やコンタクト用配線層の図示は省略されている。

【0069】この構成によれば、図20のストレージノードSNに該当する、図21中のソース/ドレイン領域18の直下にあたる底部1Bの部分を回避して(勿論、トランスフェグート16の直下の部分も避ける)、導通領域6が形成されているので、導通領域6を介して少数キャリア(ホール)の注入が生じたとしても、少数キャリアがストレージノードSNに流れ込んでキャパシタ(図21では図示していないが、図20中のキャパシタに該当)中のデータを破壊してしまうような事態の発生を完全に防止できる。この点で、本変形例の構成の方が、図1, 図2の構成をメモリセルアレイに適用するときよりも有利であると言える。

【0070】以上のように、本変形例では、メモリセルアレイブロックの中の基本メモリセルのストレージノードにあたるNMOSTランジスタのソース/ドレイン領域の真下にあたる領域を避けて、図3, 図4におけるP型ウエル領域2とP型の半導体基板5とを電気的に接続する導通領域6を設けている点に、特徴がある。

【0071】(各実施の形態1, 2の特有の効果)

(1)実施の形態1では、従来のトリプルウエル構造と比較して、P型ウエル領域に電位を与えるためのコンタクト領域をP型ウエル領域内に作製する必要が無く、従来のP型ウエル領域の電位を供給する為のコンタクト領域として使用していた部分の面積分だけを減少させることが可能となる。更に、マスクパターンによりNイオンが注入されない領域を、上記P型のウエル領域の底部に面したN⁺型のウエル領域の底部内に平均的に均一に配置できるように、新規なマスク装置を作製すれば、P型のウエル領域の電位をP型半導体基板を介することにより均一的に供給することが容易に可能となる。更に、導通領域の配置位置をランジスタ領域直下となる部分を避けて適切に設定する場合には、少数キャリア注入電流による影響を防ぐことも可能となる。

【0072】(2)実施の形態2では、図19のメモリセルアレイブロック7内に電位固定用のコンタクト領域を設けること無く、メモリセルアレイブロック7内のP型ウエル領域に半導体基板側から電位を供給することができる。特に、その変形例を採用したときには、ストレージノードの真下にあたる領域に導通領域6を作るようにN⁺型ウエル領域の底部1Bを作製した場合(図1参照)と異なり、ストレージノードの真下にあたる領域にN型のウエル領域があるので、半導体基板中の少数キャリア電流の注入が起こったとしても、少数キャリア電流がストレージノードにまで到達することが防止され、キャリア電流の注入によるメモリセルのデータ破壊を確実に防ぐことができるという効果が得られる。

【0073】

【発明の効果】

(1)請求項1ないし5の各発明によれば、第2ウエル領域で以て、各ランジスタ領域を含む第1ウエル領域を

ほぼ完全に取り囲むと共に、第2ウエル領域の底部の一部分に導通領域を設けたので、第1ウエル領域へ電位を与えるためのコンタクト領域を第1ウエル領域内に設ける必要がなくなり、トリプルウエル構造の本来的作用を基本的に維持しつつ、トリプルウエル構造の半導体装置を半導体基板に設けるのに要するエリア面積を従来のそれよりも格段に減少させて装置全体の小型化を推進できるという効果を奏する。

【0074】(2)特に請求項2の発明によれば、導通領域は第1ウエル領域及び半導体基板と同一導電型の性質を有しているので、接合界面を形成することなく低損失で、第1ウエル領域と半導体基板とを確実に電氣的に接続できるという利点がある。

【0075】(3)更に請求項3の発明によれば、複数の導通領域を第2ウエル領域の底部に設けたので、第1ウエル領域に与えるべき電位を第1ウエル領域内全体にわたって均一に供給することができるという効果がある。特に導通領域を底部にわたって均一に分布配置すればするほどに、電位供給の均一度を向上させることが可能である。

【0076】(4)更に請求項4の発明によれば、トランジスタ領域外の表面直下に当たる底部の部分に導通領域を設けているので、導通領域を介して半導体基板から第1ウエル領域に注入される少数キャリアがトランジスタの各領域に到達してトランジスタを動作させるという事態の発生を抑止することができ、トリプルウエル構造のもつ本来的作用・効果をより一層確実に発揮させることが可能となる。

【0077】(5)更に請求項5の発明によれば、メモリセルアレイブロック内の第1ウエル領域内に電位供給用のコンタクト領域を設けることなく、トリプルウエル構造の利点をそのまま生かしつつ、メモリセルアレイブロックの各基本メモリセルアレイの第1ウエル領域に対して半導体基板側から所定の電位を供給できるという効果が得られる。特に、請求項4の発明をメモリセルアレイブロック内の各基本メモリセルに適用した場合には、半導体基板中の少数キャリアが各導通領域を介して各第1ウエル領域内に注入されたとしても、当該少数キャリアが基本メモリセルのストレージノードにまで到達するのを防止することが可能となり、少数キャリア電流注入による基本メモリセルのデータ破壊の発生を防止できるという効果が得られる。

【0078】(6)請求項6の発明によれば、第1ウエル領域内にコンタクト領域を設けることなく、半導体基板側から第1ウエル領域に対して電位を供給できるほぼ完全なトリプルウエル構造の半導体装置を、半導体回路装置内に実現できるという効果を奏する。特に、本発明では、第1工程、第3工程及び第4工程は既存の工程であり、第2工程のみをそれに対応した既存の工程に変更を加えることで実現できるので、上記半導体装置を比較的

容易に製造することができるという効果がある。上記第2工程をフォトリソグラフィを用いて具体的に実現するときには、上記フォトリソグラフィのパターンを変更するだけで良く、それ以外は他の工程をも含めて既存の製造方法をそのまま利用できる点で、製造の容易さはより一層に高まる。

【0079】(7)請求項7の発明によれば、当該マスクパターンを既存のフォトリソグラフィ工程を含むイオン注入工程に対して適用するだけで第2ウエル領域の底部内に開孔パターンを容易に形成することができるという効果があり、本マスク装置を用いる限り、製造時に上記開孔パターン形成のための新たな工程や製造装置を全く必要としないという利点をもたらす。勿論、当該マスクパターン自体を形成する際にも、既存のマスクパターン製法を用いることができるという利点もある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の構造の一例を説明するための断面図である。

【図2】 本発明の実施の形態1の構造の一例を説明するための平面図である。

【図3】 本発明の実施の形態1の変形例の構造を示す断面図である。

【図4】 本発明の実施の形態1の変形例の構造を示す平面図である。

【図5】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図6】 本発明に用いるマスク装置の一例を模式的に示す平面図である。

【図7】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図8】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図9】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図10】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図11】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図12】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図13】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図14】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図15】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図16】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図17】 実施の形態1の変形例の製造工程を従来の場合と対照させて示す断面図である。

【図18】 分割ワード線構成のDRAMメモリセルアレイブロックの一例を模式的に示す平面図である。

【図19】 N型ウエル領域で囲まれたメモリセルアレイサブブロックを模式的に示す平面図である。

【図20】 基本メモリセルを示す図である。

【図21】 実施の形態2の変形例の構造の一例を示す断面図である。

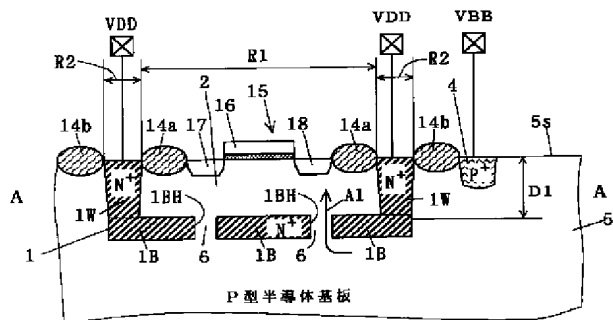
【図22】 従来のトリプルウエル構造を説明するための断面図である。

【符号の説明】

1 N⁺型のウエル領域（第2ウエル領域）、1B 底

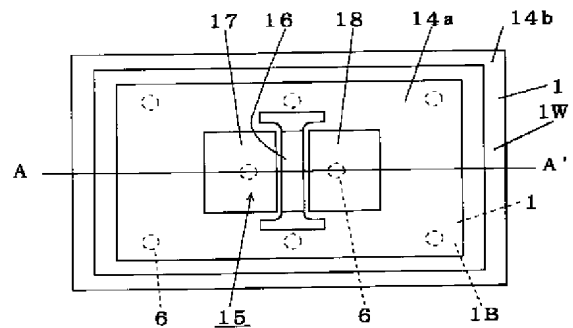
部、1W 側壁部、1BH 開孔パターン部、2 P型のウエル領域（第1ウエル領域）、4 P⁺型のコンタクト領域、5 半導体基板、6 導通領域、7 メモリセルアレイブロック、7S メモリセルアレイサブブロック、8 センスアンプ回路部、9 メインワード線、10 サブデコード回路部、11 サブワード線、12 PMOSTランジスタ用N⁻ウエル領域、13 NMOSTランジスタ用P⁻ウエル領域、14 絶縁層、15 NMOSTランジスタ、16 トランスファゲート、17、18 ソース/ドレイン領域、WD1、WD2、WD3 ワードドライバ回路。

【図1】

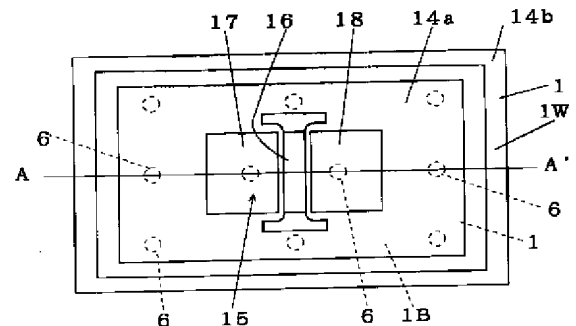


1 : N型ウエル領域 2 : P型ウエル領域
6 : 導通領域 1B : 底部
1W : 側壁部 15 : NMOSTランジスタ
R1 : 第1領域 R2 : 第2領域

【図2】

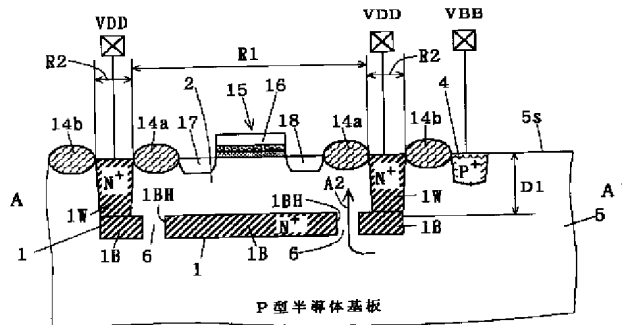


【図4】

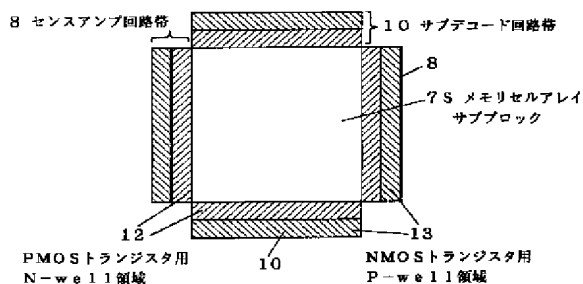


【図5】

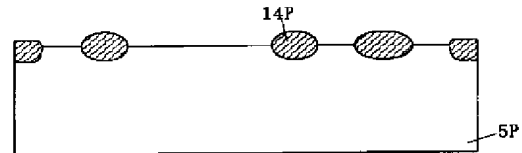
【図3】



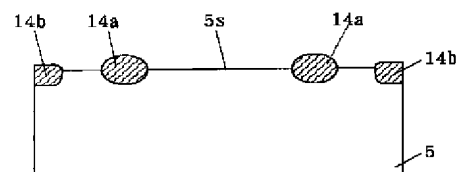
【図19】



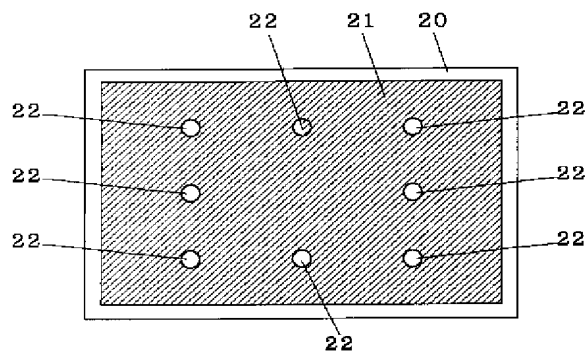
(a) 従来工程



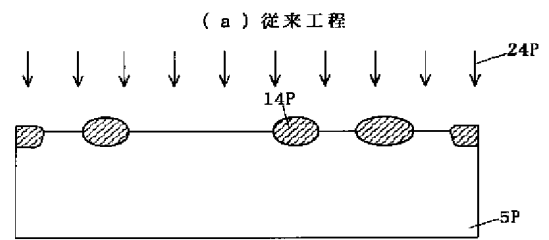
(b)



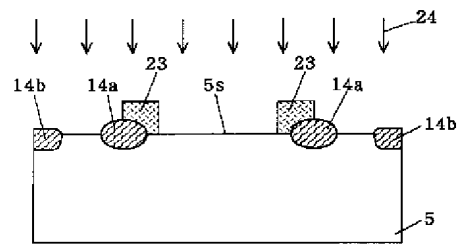
【図6】



【図7】

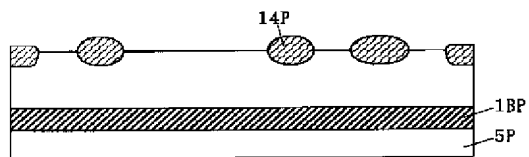


(b)



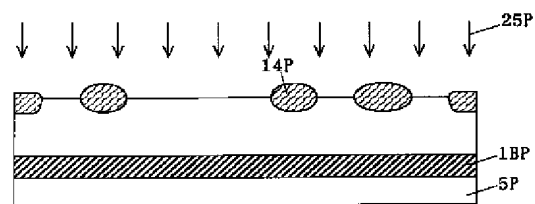
【図8】

(a) 従来工程

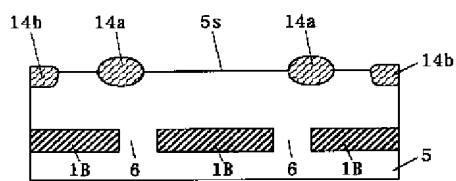


【図9】

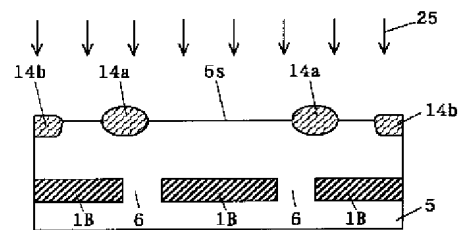
(a) 従来工程



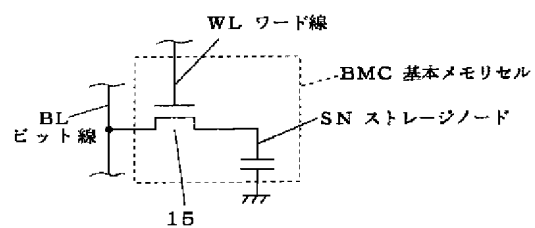
(b)



(b)

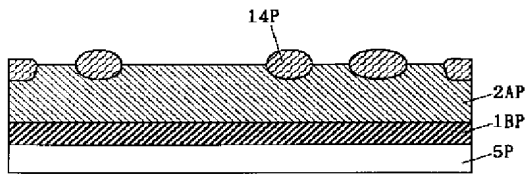


【図20】

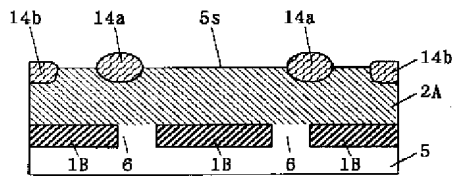


【図10】

(a) 従来工程

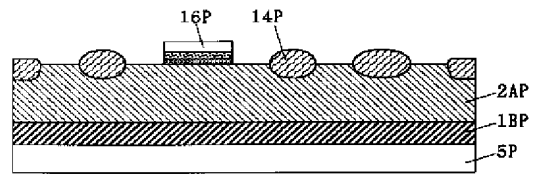


(b)

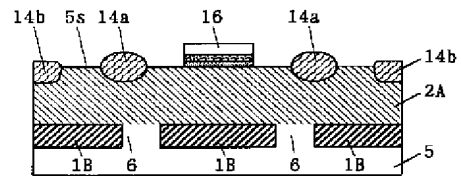


【図11】

(a) 従来工程

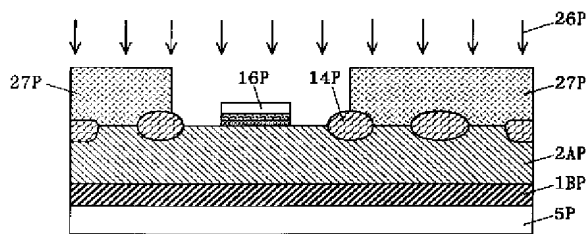


(b)

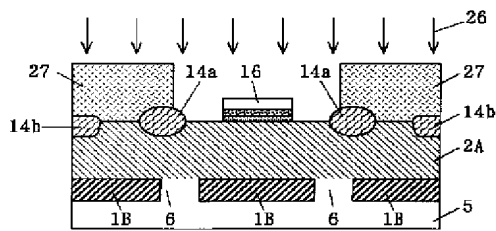


【図12】

(a) 従来工程

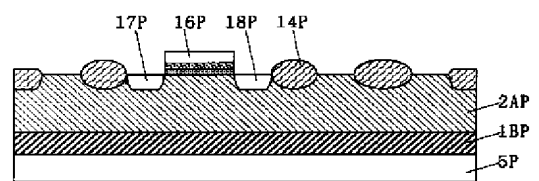


(b)

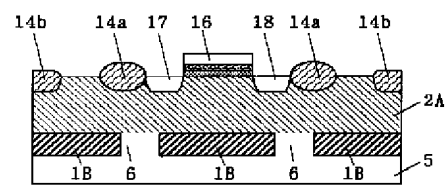


【図13】

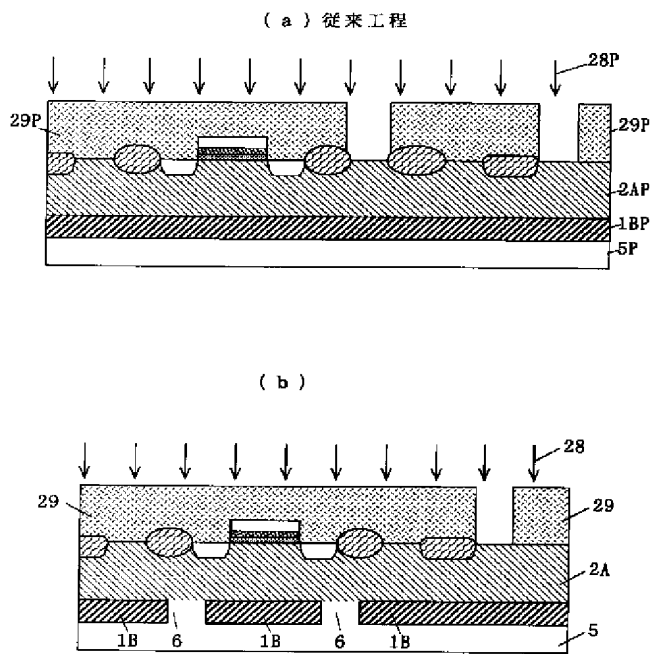
(a) 従来工程



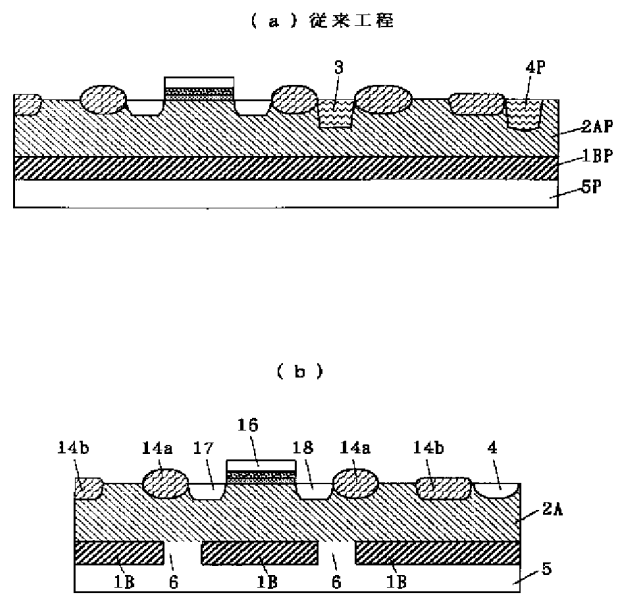
(b)



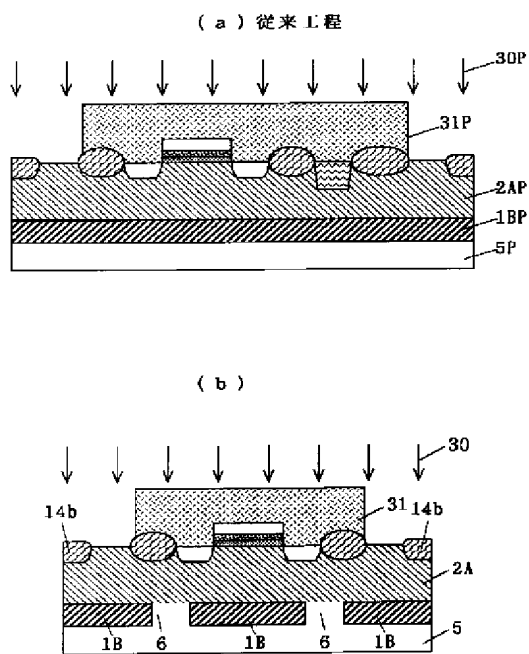
【図14】



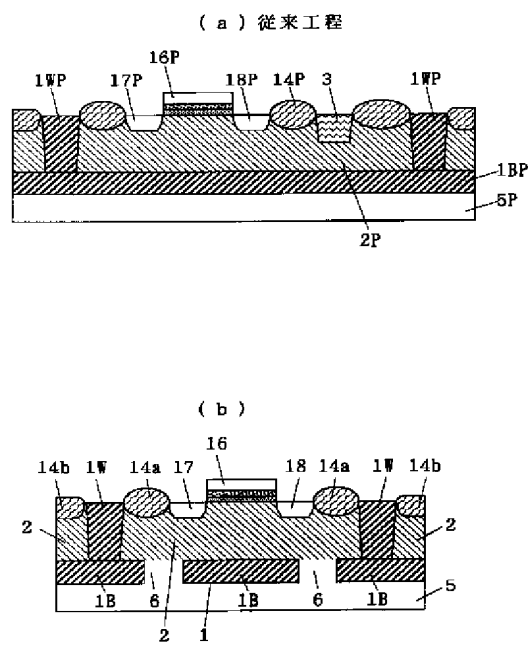
【図15】



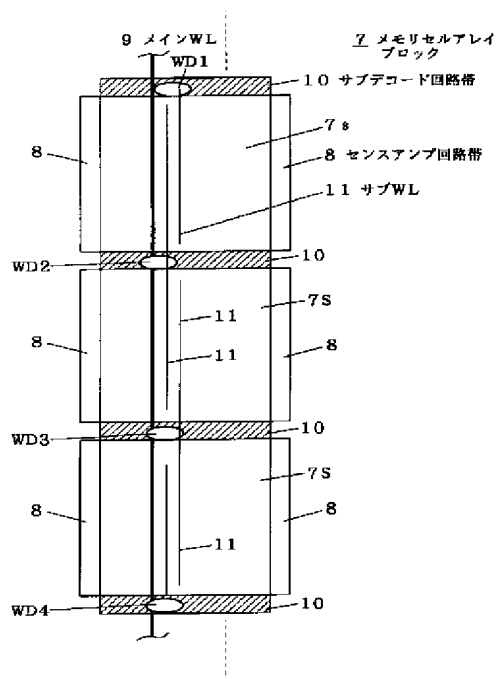
【図16】



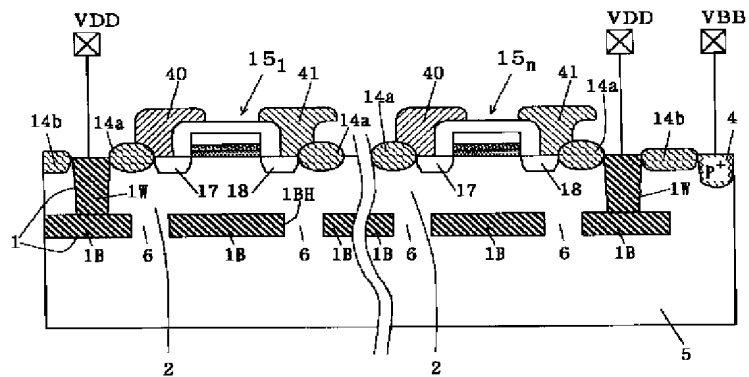
【図17】



【図18】



【図21】



【図22】

